

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266155
 (43)Date of publication of application : 28.09.1999

(51)Int. Cl. H03L 7/197

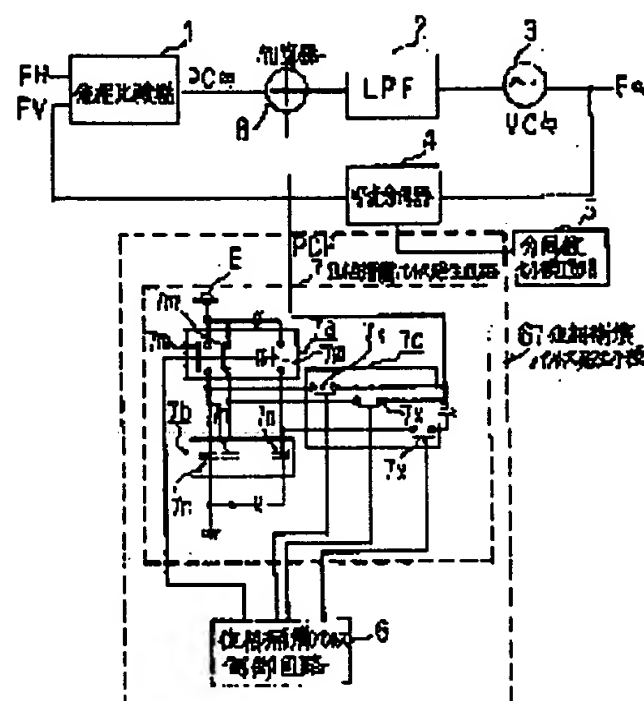
(21)Application number : 10-069057 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 18.03.1998 (72)Inventor : TAKAHASHI TAKANORI

(54) METHOD AND CIRCUIT FOR PHASE COMPENSATION

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent spuriousness from being generated in a rear step by preventing a phase error from occurring periodically at the decimal frequency-dividing.

SOLUTION: A charge is accumulated in a charge accumulation capacitor 7b, by turning on a charge accumulation switch 7a and turning off a pulse generation switch 7c. Next, when accumulation of the charge is completed, the charge accumulation switch 7a is turned off, a switch 7x of the pulse generation switch 7c, which is connected to the capacitor with an accumulated desired charge at a timing in which the phase error signal is generated from the phase comparator, is turned on, and the charge accumulated in the capacitor 7b is outputted as a phase compensation pulse, and is injected into the phase error signal by an adder 8 to perform phase compensation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266155

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁷
H03L 7/197

識別記号

F I
H03L 7/19

A

審査請求 未請求 請求項の数5 0L (全 6 頁)

(21) 出願番号 特願平10-69057

(22) 出願日 平成10年(1999) 3月18日

(71) 出願人 000008019

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 高橋 貴紀

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

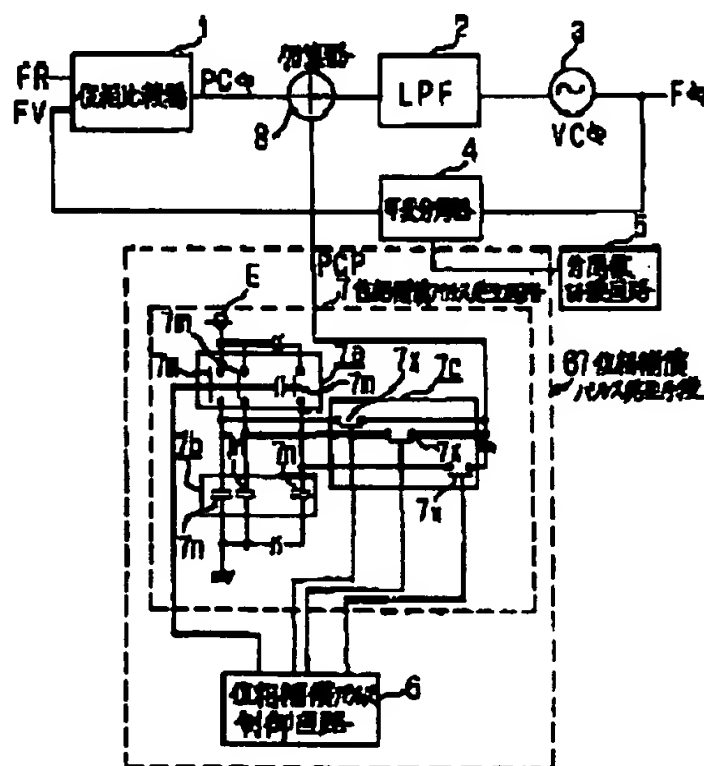
(74) 代理人 弁理士 宮園 純一

(54) 【発明の名称】 位相補償方法及び位相補償回路

(57) 【要約】

【課題】 小数点分周時に周期的に位相誤差が発生しないようにして後段にスプリアスが発生しないようにする。

【解決手段】 電荷蓄積用スイッチ部7aをオンとして、パルス発生用スイッチ部7cを切ることによって電荷蓄積用容量部7bに電荷を蓄積する。次に、電荷の蓄積が終わったところで電荷蓄積用スイッチ部7aをオフとし、位相比較器から位相誤差信号が発生するタイミングに合わせ所望の電荷が蓄積された容量につながったパルス発生用スイッチ部7cのスイッチ7xをオンして電荷蓄積用容量部7bに蓄積されていた電荷を位相補償パルスとして出力し、加算器8により位相誤差信号に注入することによって位相補償を行う。



1

【特許請求の範囲】

【請求項1】 周波数シンセサイザで小数点分周時に周期的に発生する位相誤差をあらかじめ予測し、この予測した位相誤差を打ち消すようなパルスを入力するようにして、周期的に現れる位相誤差信号を相殺するようにしたことを特徴とする位相補償方法。

【請求項2】 分数分周方式の周波数シンセサイザを使用するときに生じる位相誤差信号の出力電荷を相殺する電荷を蓄積してパルスを発生させる位相補償パルス発生手段と、発生したパルスを位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えたことを特徴とする位相補償回路。

【請求項3】 位相補償パルス発生手段は、位相誤差の値を一周期の分数倍で表わしたときの分子の計算を行うアキュムレータと、この計算結果の出力にもとづくパルス発生タイミングに合わせてパルス発生用スイッチ手段を制御するフリップフロップより成る請求項2に記載の位相補償回路。

【請求項4】 分数分周方式の周波数シンセサイザを使用するときに生じる位相誤差信号の出力電荷を相殺する電荷を蓄積して、パルスを発生させる位相補償パルス発生手段と、周波数シンセサイザの出力段に接続される電圧制御発振器と、上記電圧制御発振器の出力周波数に反比例した電圧を発生させる周波数電圧変換器と、上記位相補償パルス発生手段の出力と周波数電圧変換器の出力電圧とを乗算する乗算手段と、この乗算手段で増幅されたパルスを上記位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えたことを特徴とする位相補償回路。

【請求項5】 分数分周方式の周波数シンセサイザを使用するときに生じる位相誤差信号の出力電荷を相殺する電荷を蓄積して、パルスを発生させる位相補償パルス発生手段と、周波数シンセサイザの出力段に接続される電圧制御発振器と、上記電圧制御発振器の入力を増幅するバッファアンプと、上記位相補償パルス発生手段の出力と、上記バッファアンプの出力とを乗算する乗算手段と、この乗算手段で増幅されたパルスを上記位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えたことを特徴とする位相補償回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、分数分周方式の周波数シンセサイザを使用するときに生じる位相誤差の補償に関するものである。

【0002】 図8は従来の分数分周方式の周波数シンセサイザのブロック図である。図8において、1は2入力の位相を検出する位相比較器であって、周波数差を検出するものに代えてもよい。2は上記位相比較器1で得られる位相差を積分して位相誤差1に相当する大きさの直流を得るためのローパスフィルタ（LPF）、3は上記

(2)

特開平11-266155

2

LPF2の出力である直流電流（あるいは電圧）で発振電流を変換することができる電圧制御発振器（VCO）、4は可変分周器、5はこの可変分周器4の出力である分周数を制御する分周数切換回路である。

【0003】 次に動作について説明する。いま、分周数切換回路5に入力する分周数（整数部）をN、分周数（小数点部）をn、基準周波数をFR、出力周波数をFO、出力周波数を可変分周器4で分周した周波数をFVとする。まず、位相比較器1で基準周波数FRと分周の周波数FVの位相差を検出し、位相情報をLPF2に出力する。LPF2では位相誤差の信号を積分することで直流電流に変換する。VCO3は入力された電流値にしたがって周波数FOで発振を行う。VCO3で発振した信号を可変分周器4で分周し、周波数FVの信号を生成する。この時、分周数の設定を分周数切換回路5で時間軸上に可変することにより、見かけ上分周数を小数点以下まで広げている。分周数切換回路5で生成した信号を再び位相比較器1に帰還することにより、出力周波数FOを安定化させている。以上のループが完全にロックした場合、出力周波数FOは次式で表すことができる。

$$FO = (N + n) \times FR \quad \dots (1)$$

このとき、小数点以下の分周数nは分子、分母がそれぞれ整数の分数で表現することができ次式のようになる、

$$n = m / M \quad \dots (2)$$

m、Mは整数

Mを固定とし、少数点以下部の設定をmで行う場合、周波数分解能は、

$$(1/M) \times FR \quad \dots (3)$$

となりFOは $(1/M) \times FR$ の周波数ステップで変化させることができる。

【0004】

【発明が解決しようとする課題】 従来の分数分周方式の周波数シンセサイザは以上のように構成されており、見かけ上周波数を小数で分周しているためFVの波形に位相誤差が生じている。図9に示すようにN（整数）+1/4分周を実現するための分周比を4周期を1組として、N、N、N、N+1と変化している。このためFVの1～3周期目まで基準周波数FRに対して位相誤差a、b、cを生じる。このことが後段のVCOにスプリアスを発生させてしまう要因となり、フィルタ等を用いて半導体集積回路の外部で抑制する必要性があった。

【0005】 この発明は上記のような問題点を解決するためになされたもので小数点分周時に周期的に現れる位相誤差信号のスプリアスを発生させることなく補償することを目的とする。

【0006】

【課題を解決するための手段】 請求項1では、小数点分周時に周期的に発生する位相誤差をあらかじめ予測するようにし、この予測した位相誤差を打ち消すようなパルスを注入するようにして、この周期的に現れる位相誤差

3

信号を補償するようにした。

【0007】請求項2の発明によれば、分数分周方式の周波数シンセサイザを使用するときに生じる位相誤差信号の出力電荷を相殺する電荷を蓄積して、パルスが発生させる位相補償パルス発生手段と、発生したパルスを位相誤差信号に加算し位相誤差信号を相殺する加算手段を備えた。

【0008】請求項3の発明では、位相補償パルス発生手段として、位相誤差の値を一周期の分数倍で表わしたときの分子の計算を行うアキュムレータと、この出力をパルス発生タイミングに合わせてパルス発生用スイッチ手段を制御するフリップフロップより構成した。

【0009】請求項4の発明では、電圧制御発振器の出力周波数に反比例した電圧が発生させる周波数電圧変換器と、位相補償パルス発生手段の出力と周波数電圧変換器の出力とを乗算する乗算手段と、この乗算手段で増幅されたパルスを上記位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えた。

【0010】請求項5によれば、電圧制御発振器の入力を増幅するバッファアンプと、上記位相補償パルス発生手段の出力と、上記バッファアンプの出力とを乗算する乗算手段と、この乗算手段で増幅されたパルスを上記位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えた。

【0011】

【発明の実施の形態】実施の形態1。図1はこの発明の位相補償方法及びその回路の実施の形態1を示す回路図である。図1中、図8と同じものは同一符号を用いて説明を省略している。図1において、6は位相補償パルス制御回路であり、位相補償パルスの大きさとタイミングを決定する。7は位相補償パルス発生回路であり、電荷蓄積用スイッチ部7aと電荷蓄積用容量部7bと、パルス発生用スイッチ部7cとよりなる。8は加算手段としての加算器であり、上記位相補償パルス発生回路7から出力した位相補償パルスと位相比較器1から出力した位相誤差信号とを加算して相殺することにより位相補償を行う。上記位相補償パルス制御回路6と上記位相補償パルス発生回路7とで、位相補償パルス発生手段67が構成される。

【0012】上記電荷蓄積用スイッチ部7aは一端が電源Eに並列接続された複数のスイッチ7mより成り、こ

(3)

特開平11-266155

4

れ等各スイッチ7mは互いに運動するもので、上記位相補償パルス制御回路6により制御されてオンオフする。これ等各スイッチ7mは上記電荷蓄積用容量部7bを構成するそれぞれのコンデンサ7nを介してアース側に接続されており、オンすることにより、各コンデンサ7nには電荷がチャージされる。上記各コンデンサ7nの一端側（電源側）はそれぞれ上記パルス発生用スイッチ部7cを構成する複数のスイッチ7xを介して加算器8に接続されるもので、このスイッチ7xがオンされることにより、コンデンサ7nにチャージされた電荷が放電されることにもとづくパルスが加算器8に供給される。これ等各スイッチ7xは位相補償パルス制御回路により選択的にオンオフ制御される。

【0013】次に動作について、図2の各部位の波形図を用いて説明する。なお、この動作は分周数 $N+1/M$ の時を例に取り説明するものである。図1、2において、少数点分周に起因する位相誤差信号は、 $TO=TV/M$ を基準のパルス幅として TO 、 $2TO$ 、 $3TO$ 、 \dots 、 nTO となり、位相比較器の出力電流が I_{pc} とすると位相誤差が TO のときの電荷は、 $I_{pc} \times TO$ となる。電荷蓄積用容量部7bは C 、 $2C$ 、 $4C$ 、 \dots 、 $2^{(l-1)}C$ の容量を用いることによって電源Eの電圧を V とすると $C \times V = I_{pc} \times TO$ となるように定数を決めることでパルス発生用スイッチ部7cのスイッチ7xの組み合わせにより $I_{pc} \times TO$ の整数倍の電荷を発生させることができる。まず、 FV が L の時に電荷蓄積用スイッチ部7aのスイッチ7mを閉じ、パルス発生用スイッチ部7cのスイッチ7xを開いて、電荷蓄積用容量部7bに電荷を蓄積する。次に FV の立ちあがりに電荷蓄積用スイッチ部7aのスイッチ7mを開いて、位相比較器1から出力される位相誤差信号を相殺するのに適当な電荷蓄積用容量（電荷蓄積用容量部7bに蓄積）につながらるパルス発生用スイッチ部7cのスイッチ7xを閉じて、位相補償パルスを発生させる。発生したパルスは加算手段としての加算器8により位相比較器1の出力信号に加算されることで、位相補償が行われる。すなわち、 C 、 $2C$ 、 $4C$ 、 \dots 、 $2^{(l-1)}C$ の容量の組み合わせを用いると、並列接続の合成容量は、それぞれの容量の和であるので、

【0014】

【数1】

$$C, 2C, 3C, (C + 2C), 4C, 5C, (C + 4C) \dots (2^l - 1)C \left(\sum_{i=0}^{l-1} 2^{i-1}C \right)$$

【0015】のように $(2^l - 1)C$ 以下の全ての C の整数倍の容量を作ることができる。そこで、 C 、 $2C$ 、 $4C$ 、 \dots 、 $2^{(l-1)}C$ の容量につながらるパルス発生用スイッチ7cの各スイッチ7xを1ビット目、2ビット目、3ビット目、 \dots 、 l ビット目とし、ONのとき1、OFFのとき0とするような l ビットの2進データ

に対応させると、 $n \times I_{pc} \times TO$ の電荷を発生させるためには、 n を2進数に変換したデータを各スイッチ7xに与えてやればよい。なお、位相補償パルス制御回路6は、一例として図3に示すようにアキュムレータAcを内蔵し、位相誤差の値 M を分母としたときの分子の計算を行っており、この情報をフリップフロップFFを用

50

5

いてパルス発生タイミングに合わせてパルス発生用スイッチ部7cに与えることで、位相誤差を相殺するパルスを発生させることができる。なお、位相誤差については例えば1/4分周の場合にはつぎの通りである。

$0 \times 1/F\phi$, $1/4 \times 1/F\phi$, $2/4 \times 1/F\phi$, $3/4 \times 1/F\phi$, 0

($4/4 \times 1/F\phi$ で可変周期で分周数を+1するから)のようにあらわれ、アキュムレータはこの分子の0 ($4/4$), 1, 2, 3を計算し、カウントが0 ($4/4$)のときに可変分周期の分周数を+1する働きがある。

【0016】実施の形態2。本実施の形態2では、上記電荷蓄積用スイッチ部7a、パルス発生用スイッチ部7cに代えて、図4に示すようにMOSトランジスタから成る電荷蓄積用スイッチ部7dとパルス発生用スイッチ部7eとから構成したもので、図1の場合と同様な位相補償が行える。

【0017】実施の形態3。本実施の形態3では、上記電荷蓄積用スイッチ部7a、パルス発生用スイッチ部7cに代えて、図5に示すようにバイポーラトランジスタから成る電荷蓄積用スイッチ部7fとパルス発生用スイッチ部7gとから構成したもので、図1の場合と同様な位相補償が行える。

【0018】実施の形態4。図6はVCO3の発振周波数に応じて位相補償パルスの大きさを変化させる方式の位相補償回路のブロック図を示す。VCO3の出力を周波数に反比例する周波数電圧変換器10に入力し、その出力電圧とパルス発生用スイッチ部7cの出力パルスを乗算手段としての乗算器9に入力することで発振周波数に反比例した位相補償パルスを発生させる。

【0019】この実施の形態4に係る方式は位相補償パルスはVCO3の発振周波数に反比例して微妙に変化するため、位相誤差の変化に対して正確に位相補償を行うことができる利点がある。

【0020】実施の形態5。図7は実施の形態4を示し、これは図6の周波数電圧変換器10の代わりに、VCO3の入力電圧をバッファアンプ11で増幅して乗算器9に入力することで発振周波数に逆比例した位相補償パルスを発生させるものである。

【0021】この方式は位相誤差が周波数に反比例するのに対し、位相補償パルスが逆比例するため、正確には位相補償をすることができないが、発振周波数に対して発振周波数の変化の幅が小さいときには位相誤差は近似的に周波数に逆比例すると考えることができるため有効である。また、この方式は回路構成が簡単のため小型化に向くという利点がある。

【0022】

【発明の効果】請求項1では、小数点分周時に周期的に発生する位相誤差をあらかじめ予測するようにし、この予測した位相誤差を打ち消すようなパルスを注入するよ

(4)

特開平11-266155

6

うにして、この周期的に現れる位相誤差信号を補償するようにしたので、後段にスプリアスを発生させることがなく、良好に位相誤差を補償できる。

【0023】請求項2の発明によれば、分数分周方式の周波数シンセサイザを使用するときには生じる位相誤差信号の出力電荷を相殺する電荷を蓄積してパルスを発生させる位相補償パルス発生手段と、発生したパルスを位相誤差信号に加算し位相誤差信号を相殺する加算手段を備えたので簡単な構成で位相誤差を補償できる。

10 【0024】請求項3の発明では、位相補償パルス発生手段として、位相誤差の値を一周期の分数倍で表わしたときの分子の計算を行うアキュムレータと、この出力をパルス発生タイミングに合わせてパルス発生用スイッチ手段を制御するフリップフロップより構成したので、簡単な構成により位相補償パルス発生手段を実現できる。

【0025】請求項4の発明では、電圧制御発振器の出力周波数に反比例した電圧を発生させる周波数電圧変換器と、位相補償パルス発生手段の出力と周波数電圧変換器の出力電圧とを乗算する乗算手段と、この乗算手段で増幅されたパルスを上記位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えたので、位相補償パルスを発振周波数に比例して変化させることができ、正確な補償ができる。

20 【0026】請求項5によれば、電圧制御発振器の入力を増幅するバッファアンプと、上記位相補償パルス発生手段の出力と、上記バッファアンプの出力とを乗算する乗算手段と、この乗算手段で増幅されたパルスを上記位相誤差信号に加算し位相誤差信号を相殺する加算手段とを備えたので、発振周波数の変化の幅が小さいときに有効に位相誤差の補償が可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による分数分周方式シンセサイザにおける位相補償方法及びその回路を説明するためのブロック図である。

【図2】 この発明の実施の形態1による分数分周方式シンセサイザにおける位相補償方法及びその回路を説明するためのタイミング図である。

【図3】 この発明の実施の形態1に用いる位相補償パルス制御回路の一例を示すブロック図である。

40 【図4】 この発明の実施の形態2による分数分周方式シンセサイザにおける位相補償方法及びその回路を説明するためのブロック図である。

【図5】 この発明の実施の形態3による分数分周方式位相同期ループにおける位相補償方法及びその回路を説明するためのブロック図である。

【図6】 この発明の実施の形態4による分数分周方式シンセサイザにおける位相補償方法及びその回路を説明するためのブロック図である。

50 【図7】 この発明の実施の形態5による分数分周方式シンセサイザにおける位相補償方法及びその回路を説明

(5)

特開平11-266155

8

7

するためのブロック図である。

【図8】 従来の分数分周方式シンセサイザのブロック図である。

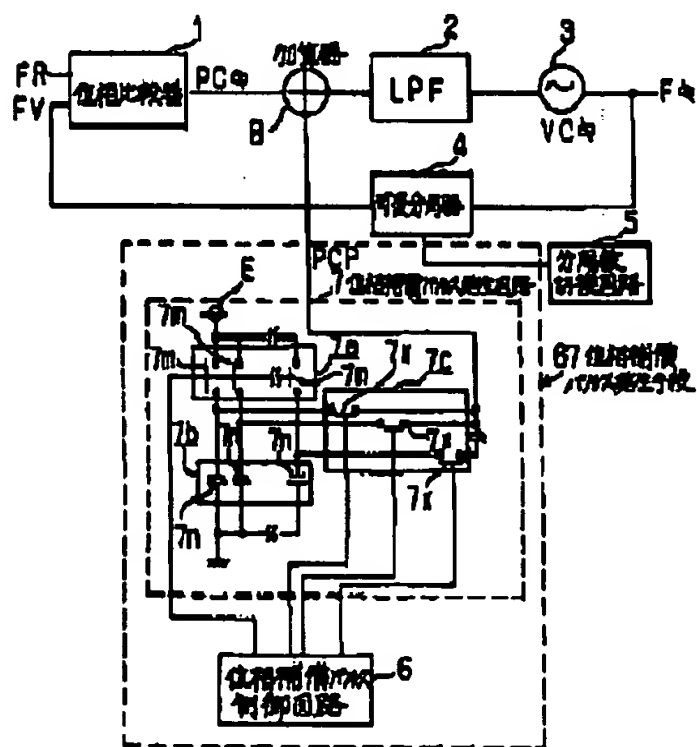
【図9】 従来の分数分周方式シンセサイザのタイミング図である。

【符号の説明】

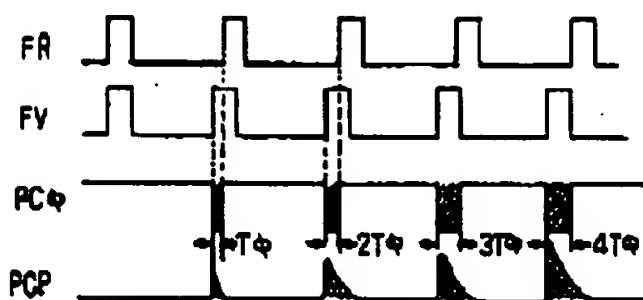
1 位相比較器、2 ローパスフィルタ、3 電圧制御発振器 (VCO)、4 可変分周器、5 分周数切換回路、6 位相補償パルス制御回路、7 位相補償パルス

発生回路、7a 電荷蓄積用スイッチ部、7b 電荷蓄積用容量部、7c パルス発生用スイッチ部、7d 電荷蓄積用MOSトランジスタ構成のスイッチ部、7e パルス発生用MOSトランジスタ構成のスイッチ部、7f 電荷蓄積用バイポーラトランジスタ構成のスイッチ部、7g パルス発生用バイポーラトランジスタ構成のスイッチ部、8 加算器、9 乗算器、10 周波数電圧変換器、11 バッファアンプ。

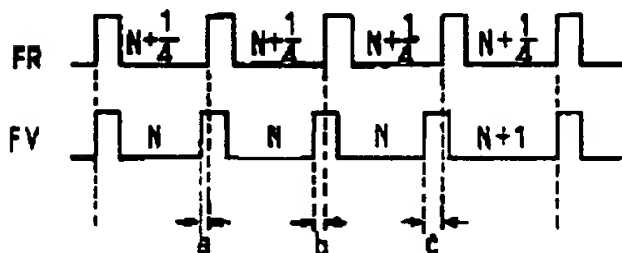
【図1】



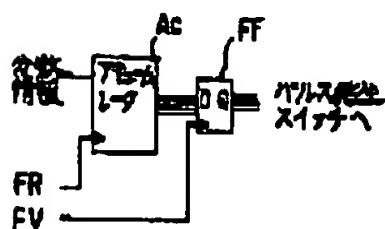
【図2】



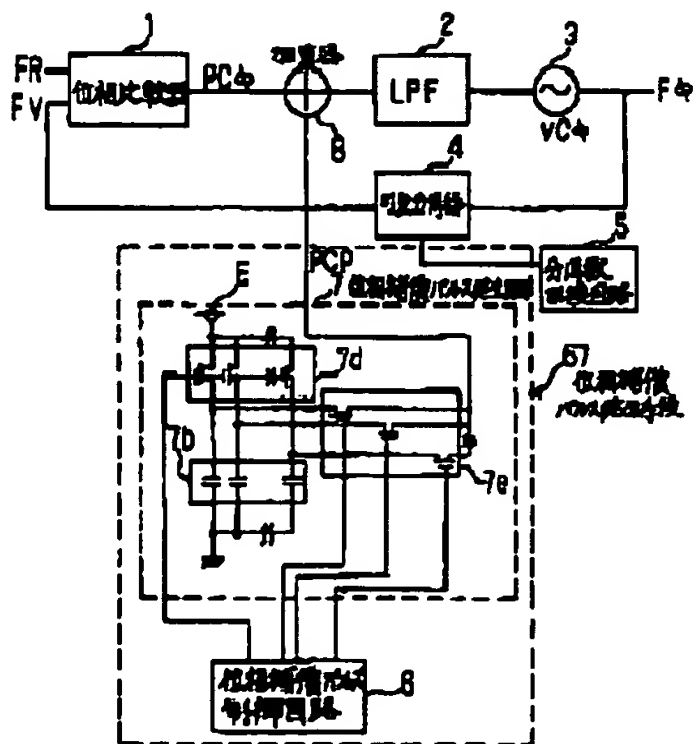
【図9】



【図3】



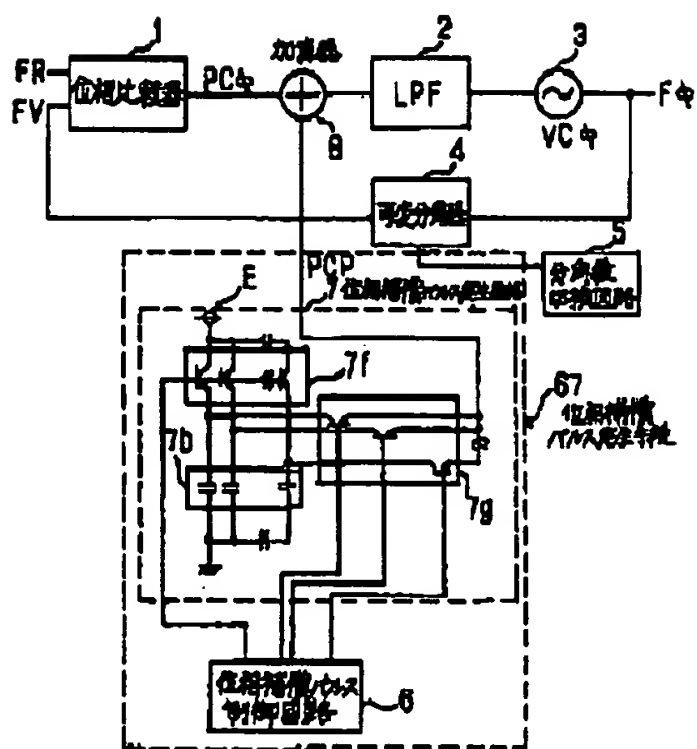
【図4】



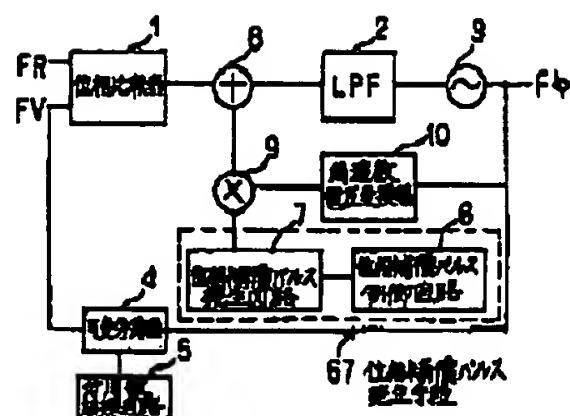
(6)

特開平11-266155

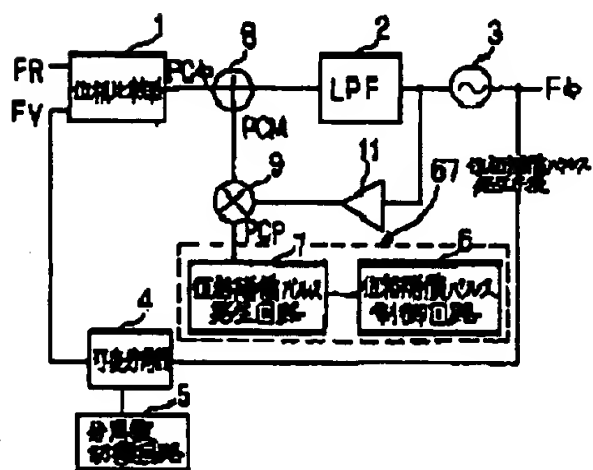
【図5】



【図6】



【図7】



【図8】

